



2025 年 VLSI テクノロジー&回路シンポジウムの技術ハイライト

2025 年の VLSI テクノロジー&回路シンポジウムは、半導体集積回路技術の進歩、進展、および進化を議論する最高峰のプレミアム国際会議であり、2025 年 6 月 8 日から 12 日にかけて、京都のリーガロイヤルホテルで開催され、参加される方々へのネットワーキングの機会を提供致します。

本シンポジウムの全体テーマは、「**Cultivating the VLSI Garden: From Seeds of Innovation to Thriving Growth**」です。スマートコネクテッドデバイス、インフラストラクチャおよびシステムは人々のコミュニケーションのかたちを変えていきます。新しい時代へと移行するグローバル社会の一部として、先端技術開発、革新的な回路設計、およびそれらが可能にする応用システムが披露され、議論される場となることを期待しています。

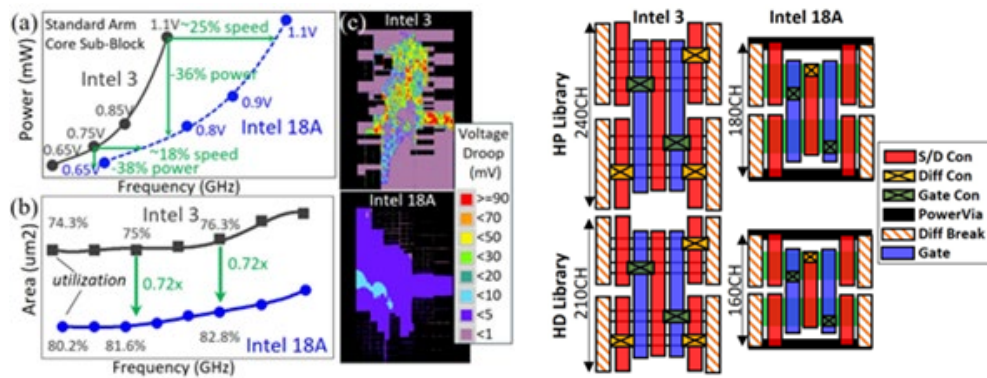
以下に、このテーマに沿ったテクノロジー&回路シンポジウムのハイライト論文を紹介します。

Technology Highlights

Advanced CMOS Technology

“Intel18A : リボン FET (GAA) とパワービアを適用した先端ハイパフォーマンスコンピューティング向け Intel 18A プラットフォーム テクノロジー” – インテル (Paper T1-1)

リボン FET とパワービアを適用した Intel 18A 技術は、Intel 3 と比較して 30%以上の面積スケールアップとフルノードの性能向上を提供します。Intel 18A は、高性能 (HP) および高密度 (HD) ライブラリを備え、フル機能の技術設計能力と設計の使いやすさを向上させています。

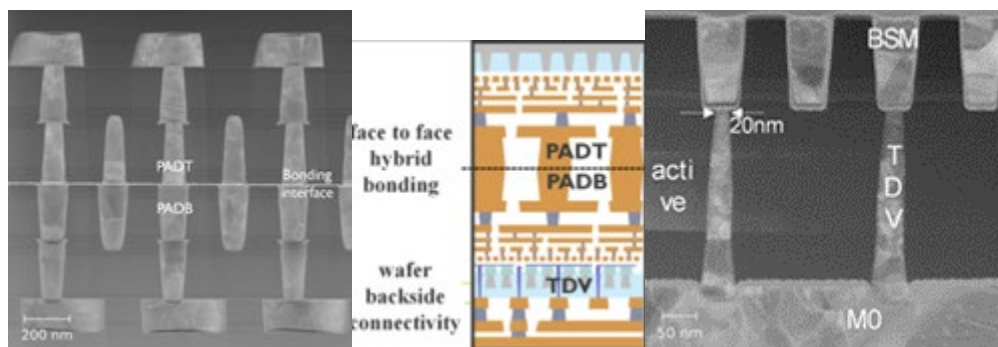


図の説明：(左)Intel 18A vs. Intel 3 PPA(パワー, 性能, 面積) (右) Intel 18A vs. Intel 3 高密度ライブラリ、高性能ライブラリ

Advanced Packaging

“250nm ピッチのハイブリッドボンディングと 120nm ピッチの裏面絶縁層貫通ビアによる高密度ウェハレベル接続” – imec (Paper T6-1)

imec は高密度ウェハレベル接続性を 250nm ピッチのハイブリッドボンディングと 120nm ピッチの裏面絶縁層貫通ビアを用いて実証しました。裏面からの接続は基板薄膜化後にシャロートレンチアイソレーション層を貫通する Via を通して形成されています。

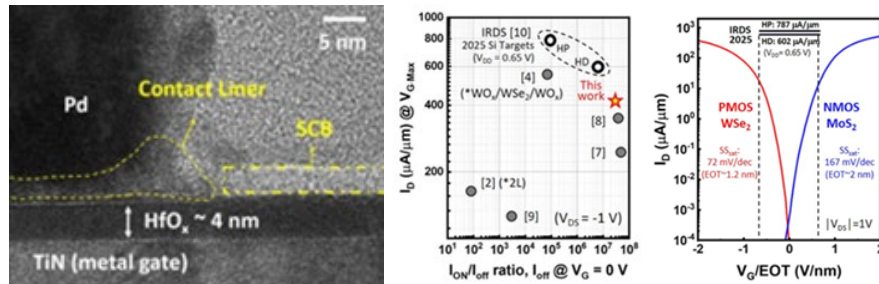


図の説明：(左) 250nm ピッチの Face-to-Face でのハイブリッドボンディング接続の TEM 像, (中) face-to-face ハイブリッドボンディングと裏面接続のイメージ図, (右) 絶縁層貫通ビア (TDV) を用いた裏面/表面間接続の TEM 像

Process and Materials for CMOS Scaling and New Devices

“単層 WSe₂ チャンネルを用いた PMOS の性能向上” – TSMC (Paper T1-4)

TSMC は、単層 (1L) WSe₂ チャンネルと 1.2 nm の等価ゲート酸化膜厚を備えたバックゲート型 PMOS が、エンハンスメントモードで動作しながら、ほぼヒステリシス特性無く、 $V_{DS} = -1\text{ V}$ においてオン電流 $400\text{ }\mu\text{A}/\mu\text{m}$ 、サブスレッショルドスロープ 72 mV/dec. 、オン/オフ比 7 桁を達成することを実証しました。これらの結果は、1L WSe₂ が微細化された P 型チャンネル候補として高い競争力を有することを示しています。

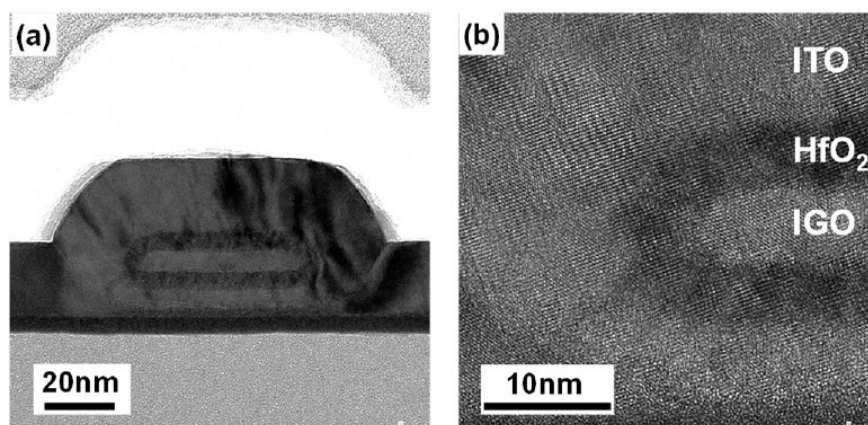


図の説明：(左) 物理膜厚 4 nm のバックゲート絶縁膜、犠牲コンタクトバッファ (SCB) 層、およびコンタクトライナーを備えた WSe₂ デバイスの高解像度断面 TEM 画像。(中) ON/OFF 比に対する ON 電流のベンチマーク、(右) 組み合わせ候補である PMOS-WSe₂ と NMOS-MoS₂ の IRDS 2025 目標値との比較結果

Process and Materials for CMOS Scaling and New Devices

“性能と信頼性向上のための InGaOx の選択結晶化によるゲートオールアラウンドナノシート酸化物半導体トランジスタ” – 東京大学, 産総研, 奈良先端科学技術大学 (Paper T6-3)

東京大学は産総研、奈良先端科学技術大学と共同で、ALD 成膜による結晶化 InGaOx をチャネル材料とするトランジスタを試作し、従来のアモルファス材料に比べて顕著な移動度の向上を実現するとともに、移動度とバイアスストレス信頼性が最も改善する最適な組成比を見出しました。さらに、結晶化 InGaOx をナノシートチャネルとするゲートオールアラウンド構造トランジスタのプロセスフローを開発し、試作を行った結果、ノーマリーオフ動作かつプレーナー型トランジスタより高いバイアスストレス信頼性を実現しました。本研究成果は、酸化物半導体トランジスタの微細化を推し進める技術として期待されます。

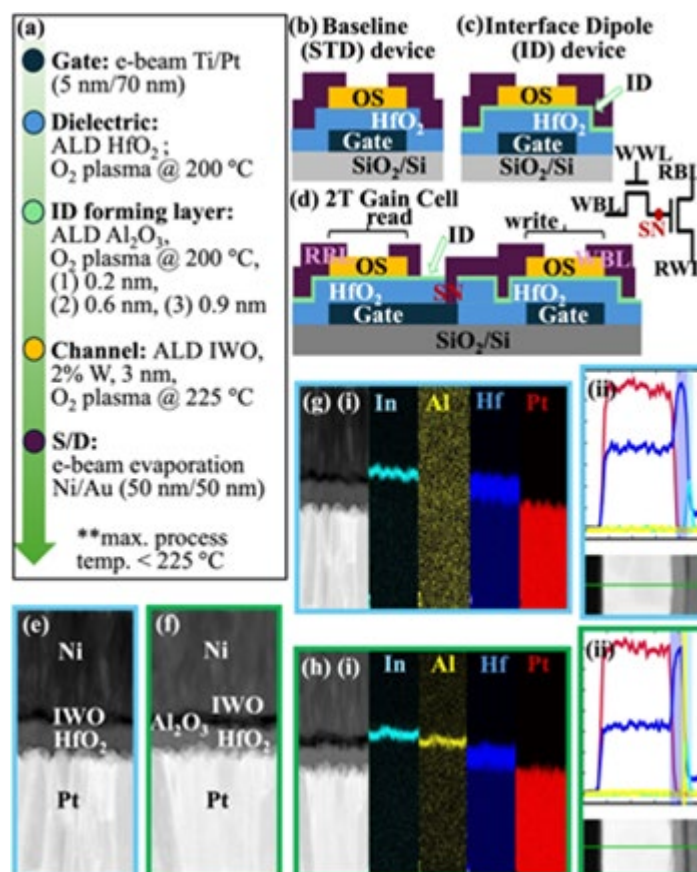


図の説明：本研究で試作したゲートオールアラウンド型ナノシート酸化物半導体トランジスタの断面 TEM 像。右図は左図の拡大画像。

Process and Materials for CMOS Scaling and New Devices

“インターフェース双極子エンジニアリングによって可能となる酸化物半導体 2T ゲインセルの直交 V_T チューニング” – スタンフォード大学, TSMC (Paper T19-1)

酸化物半導体 FET のしきい値電圧を調整するための独立したプロセスとして、ゲート絶縁体のインターフェースエンジニアリングを実証しました。インジウム-タングステン酸化物（IWO）FET に対するインターフェース双極子エンジニアリングを活用することで、HfO₂ と比較して 450-500mV のしきい値電圧の増加が達成され、85℃から極低温まで ΔV_t を維持しました。

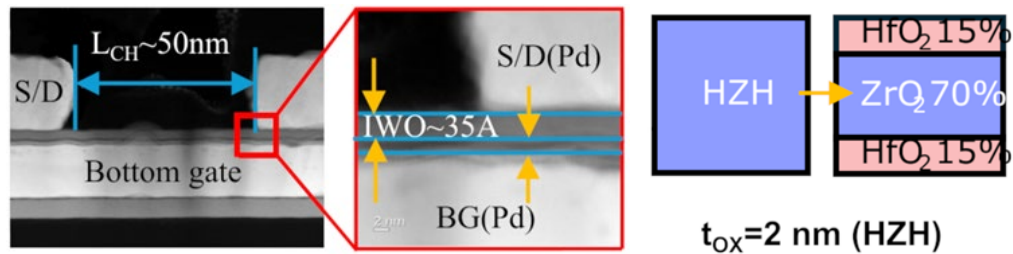


図の説明：本研究(酸化物半導体)のプロセスフロー、断面 TEM 像、元素分析

Device Physics, Characterization, Modeling and Reliability

“3 オングストローム EOT、改善された安定性および高いオン電流を持つタングステンドープインジウム酸化物 MOSFET の実証” – ジョージア工科大学およびサムスン電子 (Paper T1-3)

ジョージア工科大学とサムスン電子は、W ドープ In₂O₃ (IWO) チャネル MOSFET において高いオン電流と安定性の改善を実証しました。HfO₂-ZrO₂-HfO₂ (HZH) ラミネートゲート絶縁膜を用いることで、EOT を 0.3 nm までスケールリングし、244 $\mu\text{A}/\mu\text{m}$ と高いオン電流を実現しています。さらに、HZH ゲートスタックを用いることで、正および負のバイアス不安定性を効果的に抑制しました。HZO ゲートスタックを用いた IWO MOSFET は BEOL プロセスを利用した信頼性の高い 3 次元集積回路の開発への道を開くものです。

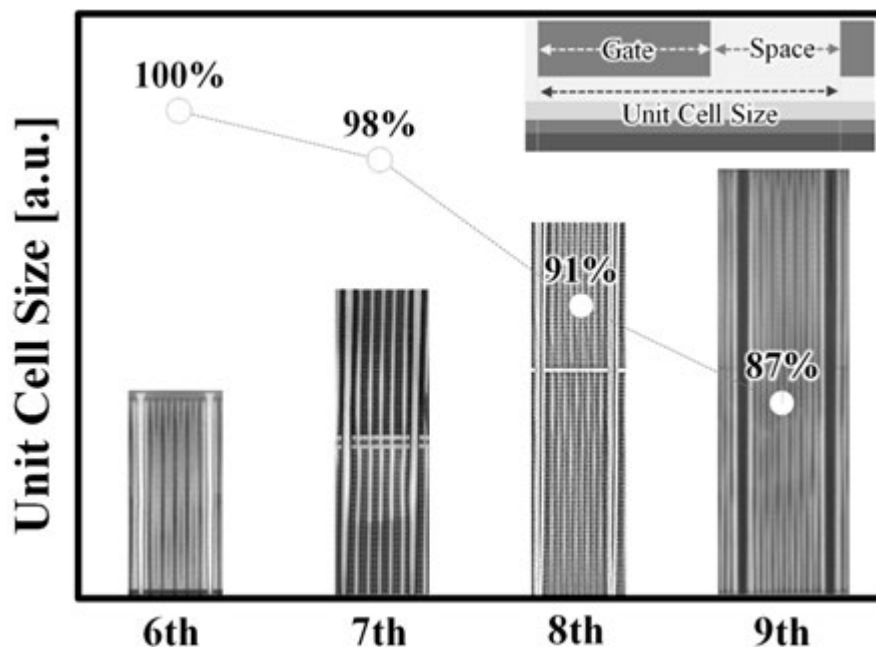


図の説明：(左) $L_{ch} = 50 \text{ nm}$ 、 3.5 nm 膜厚 IWO チャンネル、 2 nm 膜厚 HZH ゲートスタックを有する MOSFET の断面 STEM 像。(右) HZH スタックにおける $\text{HfO}_2/\text{ZrO}_2/\text{HfO}_2$ の膜厚比率。

Memory Technology

“1 テラビット 第9世代の3D NAND フラッシュテクノロジーのための高いスケーラビリティと信頼性のあるセル特性” – サムスン電子 (Paper T1-5)

サムスン電子は 286 層の第9世代 3D-NAND フラッシュ メモリについて発表します。アグレッシブな寸法スケールングにより、ビット密度は前世代に比べて 50% 向上しました。高度な ONO 材料エンジニアリングにより、スケールングによる信頼性劣化の懸念を克服し、最小のセル容量で信頼性の高い 3D-NAND を実現しました。

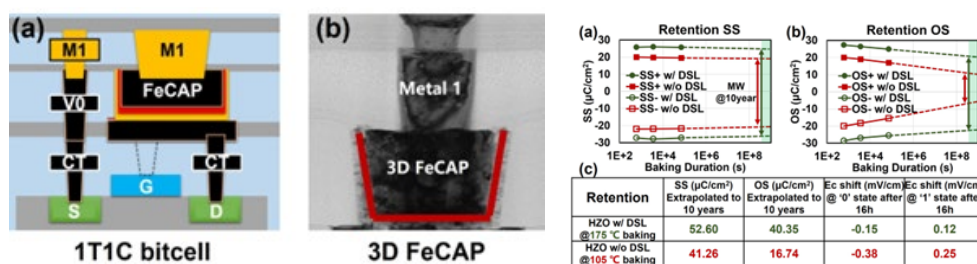


図の説明：第6世代から第9世代までの各世代の 3D-NAND フラッシュ メモリの断面 SEM とユニットセルサイズ

Memory Technology

“不揮発性混載メモリアプリケーションのための高い Retention 特性(>125 °C) 及び高い Endurance 耐性(>1E13) を持つ 1T1C 3D HZO FeRAM” – ファーウェイ (Paper T6-5)

ファーウェイは、ハフニウムジルコニウム酸化物（HZO）材料を用いた高性能 1T1C 3D FeRAM テストチップについて発表します。このテストチップは、7nm 厚の HZO 膜で構成されたトレンチ構造の強誘電体キャパシタ（FeCAP）を 40nm CMOS プラットフォーム上に形成し、125℃の環境で 10 年間のデータ保持と安定動作を実現しています。また、新しいスタック設計により、HZO フィルムの両側に欠陥シールド層（DSL: defect shielding layers）を配置したことで、強誘電体メモリの一般的な課題である劣化、インプリント、ピンチ現象を効果的に抑制しました。メモリアレイは、32Mb の容量を持ち、 -5.2σ (0.1ppm) においても約 340mV のメモリウィンドウを示し、 10^{11} 回の書き込みと 10^{13} 回の読み出しおよび 125℃での高温バッキング後も 200mV 以上のメモリウィンドウを保持します。これらの成果は、次世代の組み込み型不揮発性メモリ（eNVM）アプリケーションにおける、eFlash 置き換えの可能性を大幅に高めているといえます。

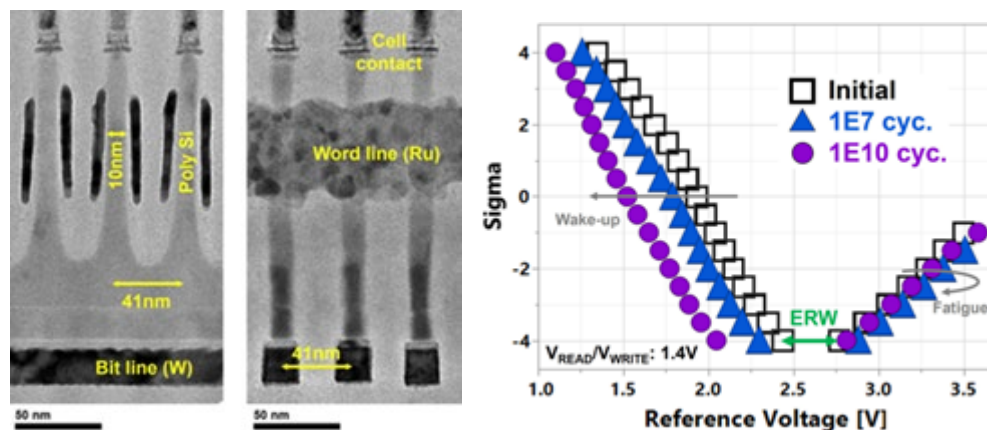


図の説明：(左)本発表の 3D FeRAM 模式図と TEM 断面図 (右)本メモリの保持特性

Memory Technology

“低消費電力、高密度を実現する低動作電圧 (1.4V)、高密度セルアレイ (41nm) 強誘電体 NVD RAM” – マイクロンテクノロジー (Paper T6-2)

マイクロンは前世代より x 方向と y 方向のピッチを 41nm に縮小して、より薄い 5nm 強誘電体膜、さらに低い動作電圧 1.4V の第二世代 NVD RAM を開発しました。フルチップデータとして、 $1\text{E}10$ 書き換え回数において -4σ で 250mV 以上のメモリウィンドウを確保した最高密度 1T1C 強誘電体メモリ技術を実現しました。複数の材料や電気特性の調整により高密度で高いパフォーマンスを維持できました。

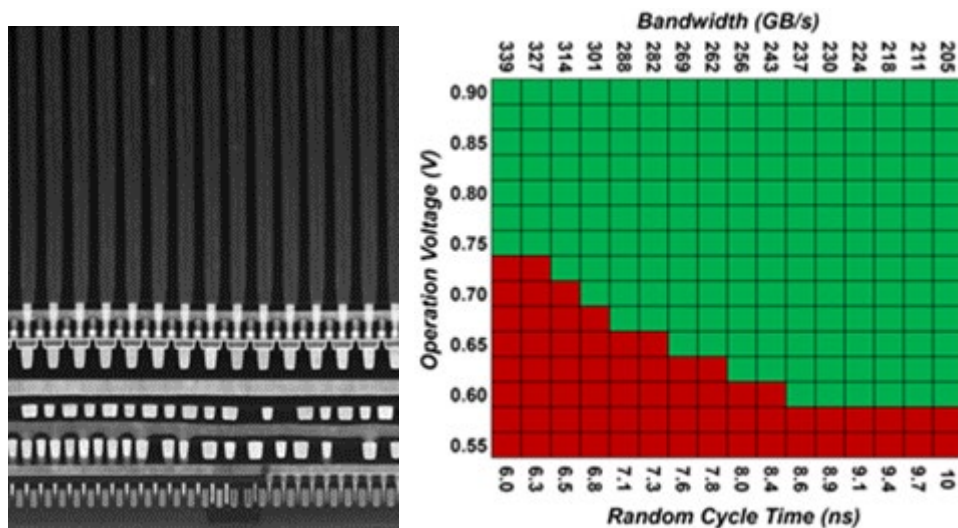


図の説明：(左)セルトランジスタの TEM 断面写真 (右)95°C、1.4V 動作電圧における 5nm の強誘電体膜の書き換え耐性

Memory Technology

“動作電圧 0.75V 酸化物半導体 1T1C メモリと先端ロジックの統合による超低消費電力・低レイテンシー キャッシュソリューション” – TSMC (Paper T2-1)

TSMC は、先端ロジックと酸化物半導体メモリの一体化の実証に成功しました。このメモリアレイは完全に配線(BEOL)に埋め込まれており、酸化物半導体チャネルセクタと低温プロセスキャパシタを特徴としています。この先端ロジック互換 BEOL メモリ技術は、SRAM よりも高密度で、カスタマイズ可能な超低消費電力、低レイテンシのキャッシュソリューションを提供します。

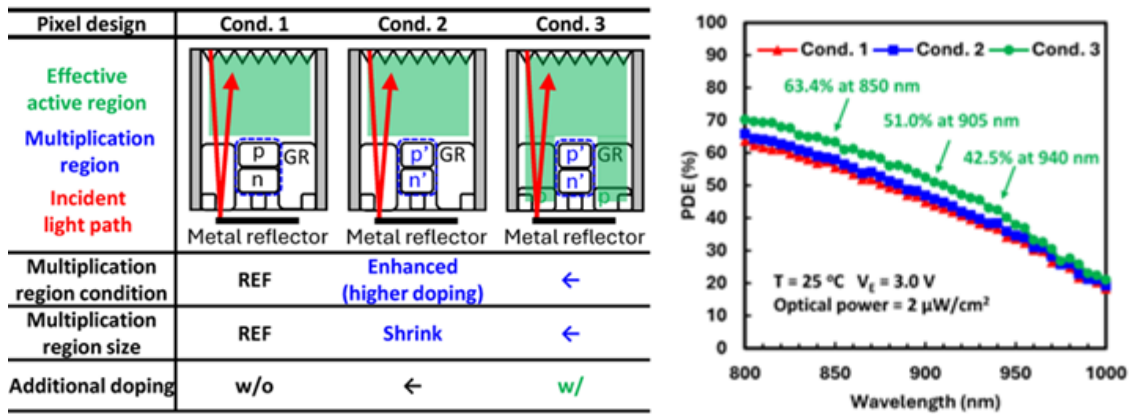


図の説明：(左)本研究のセルアレイの断面写真 (右)shmoo 特性(85°C) 保持特性(128ms)

Image Sensor Technology

“電子増殖領域の設計最適化と不純物分布最適化で波長 940nm で光子検出効率 42.5%を達成した裏面照射型 10um ピッチ単一光子アバランシェダイオード(SPAD) センサー” – ソニーセミコンダクタソリューションズ (Paper T1-2)

本研究は、300 mm CMOS プラットフォームを用いた、裏面照射型構造を持つ 10 μ m ピッチの単一光子アバランシェダイオード深度センサーにて行われました。光子検出効率を向上させるために、電子増殖領域の設計最適化と不純物分布の最適化を実施し、波長 940 nm にて、世界最高である 42.5%を達成しました。

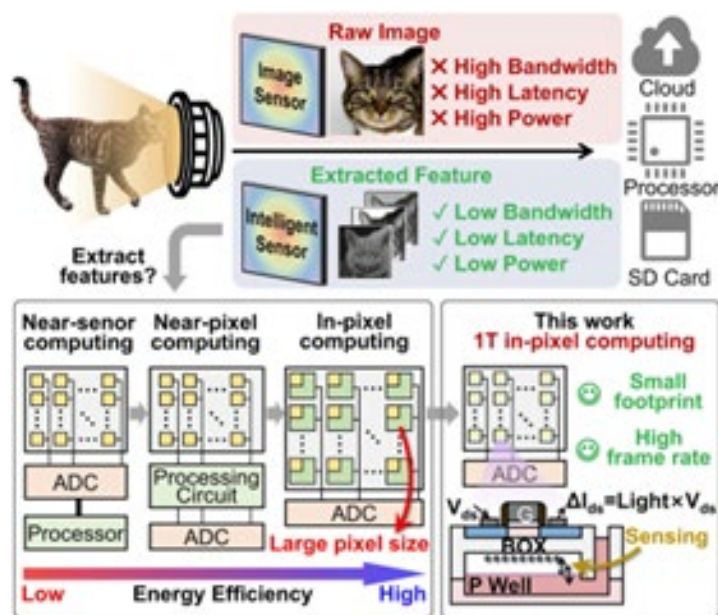


図の説明：(左)画素設計の比較 (右) 光子検出効率

Image Sensor Technology

“インピクセルコンピューティングを備えた 1T FDSOI の 1000fps を超えるイメージセンサーの初めてのデモンストレーション” – 北京大学 (Paper T6-4)

北京大学は、22nm FDSOI テクノロジーで製造した 1T 画素構成を有する画素数 128×128 のイメージセンサーを提案した。埋め込み酸化層の下側に形成する空乏層を受光層に適用し、光感度を持たせている。主な特徴として、(1) FET の増幅機能を用いることで $5 \times 10^5 \text{ A/W}$ と高い受光感度が得られること、(2) ゲート、ドレインに印可する電圧によって受光感度を調整可能であり、1T 画素構成でありながら画素内のコンピューティング機能を持たせることができること、(3) 設計・製造したチップでは、画素内信号処理機能と、露光、信号処理、読出しのパイプライン動作によって、1000 fps 超のイメージングと特徴認識を実現していることが挙げられる。



図の説明：センサーデータの転送時に生じるバンド幅、レイテンシ、消費電力に関する課題を解決するためにこれまでに提案されているセンサー構成と、本研究のセンサー、画素構成。

Circuit Highlights

Biomedical devices, circuits, and systems

"PANDA: A 3.178 TOPS/W Reconfigurable Seizure Prediction And Detection Neural Network Accelerator for Epilepsy Monitoring" (Paper C21-1)

"PANDA：てんかん発作の検知と予測に向けた再構成可能な3.178TOPS/Wのニューラルネットワークアクセラレータ" – 北京大学、南方医科大学、南方科技大学 (Paper C21-1)

北京大学、南方医科大学、南方科技大学のグループは PANDA と呼称するてんかん発作の検知と予測に向けた再構成可能なニューラルネットワークアクセラレータを報告します。当該研究では、時間的なニューラルネットワークの分割と統計情報を利用したデータフローにより検知/予測演算の効率化を図り、てんかん発作に対し99%の感度と1時間あたり0.43回の誤検出率を3.178TOPS/Wの効率で達成しました。

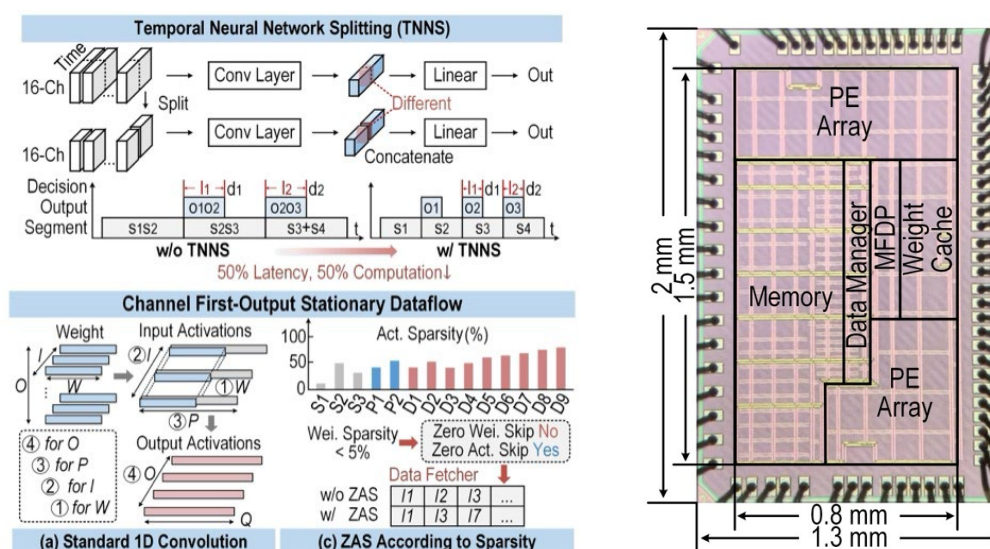


図: (左)提案する演算方式、(右)チップ写真

"An Active Silicon Perforated MEA for Seamless 3D Organoid Interfacing with Low-Noise, Scalable Multimodal Electrophysiology" (Paper C24-1)

"3次元オルガノイドとのシームレスなインターフェース実現のための低ノイズ・拡張可能なマルチモーダル電気生理計測用アクティブ多点電極チップ" – imec・KU Leuven (Paper C24-1)

imec および KU Leuven の研究グループは、低ノイズで高解像度の記録、刺激、電気化学インピーダンス分析(EIS)を可能とする CMOS 回路を集積した、3次元オルガノイドとのインターフェース用のアクティブシリコン多点電極アレイ (MEA) を報告します。この MEA は 256 個の多点電極メッシュとマルチプレクサを用いた多重動作を

特徴とし、低い入力参照ノイズ ($9.1 \pm 1.5 \mu\text{V}_{\text{rms}}$ 、300Hz~10kHz) と低電力 (一点あたり $11.3 \mu\text{W}$) を実現しています。心筋細胞を用いた *in vitro* 検証では、高精度神経電位計測、ネットワーク伝搬マッピング、および電圧刺激による細胞電位記録に成功しました。この多点電極アレイチップは、オンチップ臓器研究の発展に有効な機能と拡張性を提供します。

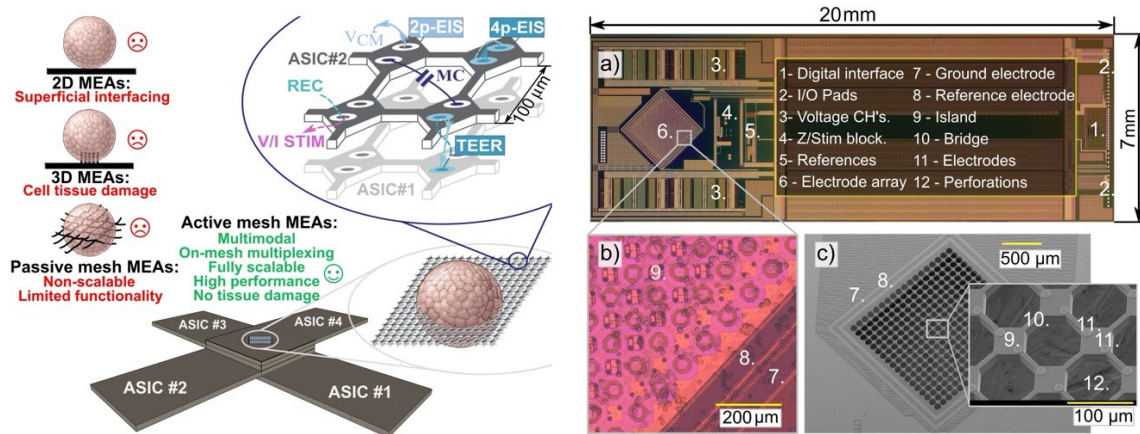


図: (左) 4 段重ねの 3D CMOS 多点電極アレイ(MEA)システムの概念図
(右) a) チップ写真 b) 電極アレイ上の培養心筋細胞
c) 完成形態の MEA チップ表面の SEM 像

Data converters

"An 11.9-ENOB 560-MS/s Subranging ADC Employing Amplifier-Switching Architecture with Multi-Threshold Comparators" (Paper C8-1)

"複数閾値を持つ比較器を用いた増幅器切替型アーキテクチャによる有効ビット数 11.9 ビット 560MS/s サブレンジング型 ADC" – 東京大学 (Paper C8-1)

東京大学の研究グループは、増幅器切替型サブレンジングアーキテクチャによる 14 ビット、560MS/s の A/D 変換器を提案します。時間ラッチ回路を備えた複数閾値を持つ比較器も提案し、単一入力対で 16 レベルの閾値を実現しています。28nm CMOS による試作チップはサンプリング速度 560MS/s、消費電力 9.76mW で動作し、ナイキスト入力で 72.14dB の SNDR、176.7dB の FoMs を達成しています。

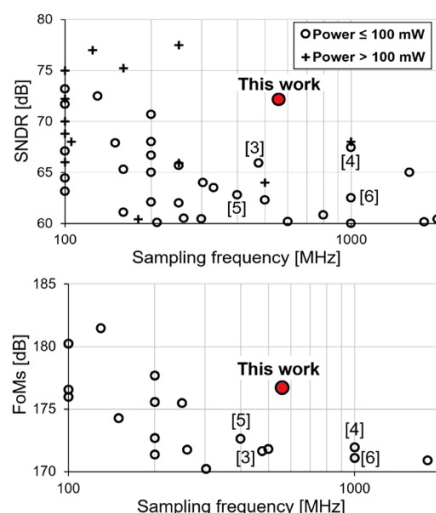
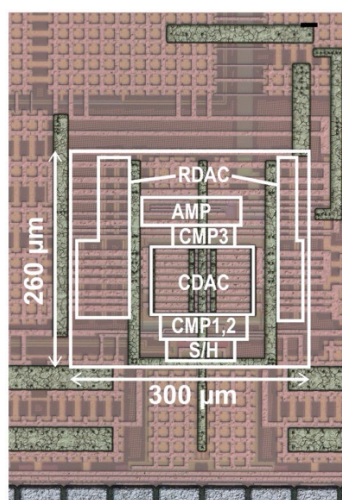


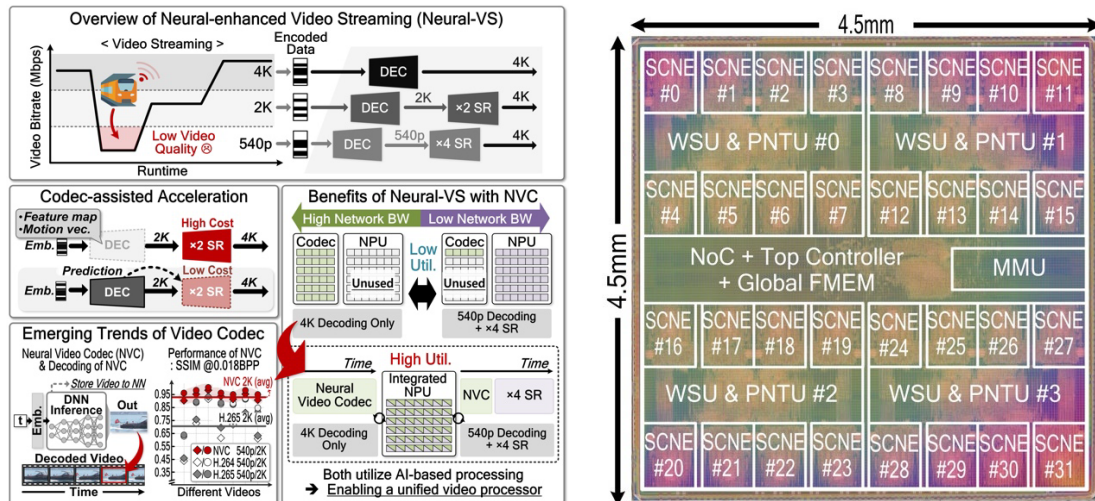
図: 28nm CMOS試作チップ写真とサンプリング速度100MHzを超える
先端A/D変換回路との性能比較

Devices and Accelerators for ML/DL and New Compute

"NuVPU: A 4.8~9.6 mJ/frame Progressive NTT-based Unified Video Processor (for Stable Video Streaming and Processing with Neural Video Codec)" (Paper C10-2)

"NuVPU : ニューラルビデオコーデックに対応した安定映像配信・処理のための、4.8~9.6mJ/フレーム・逐次数論変換 (NTT) ベース統合型ビデオプロセッサ" – KAIST (Paper C10-2)

KAIST の研究グループは、ニューラルビデオコーデック (NVC) のストリーミングおよびポストプロセッシングの両方を加速可能な、世界初の統合型ニューラルビデオプロセッサ「NuVPU」を発表します。最大 36.9 TOPS/W の性能を達成し、従来手法に対して最大 9.2 倍の優位性を示しています。Selective Convolution-mode Neural Engine (SCNE) と Progressive NTT Unit (PNTU) により、計算ドメインを動的に切り替え、論理およびメモリのオーバーヘッドを最大 80%削減し、スループットを最大 3.35 倍に向上しています。ここで使用される NTT (数論変換) は、整数演算ベースの離散フーリエ変換であり、ハードウェア実装において高効率な畳み込み計算を実現します。



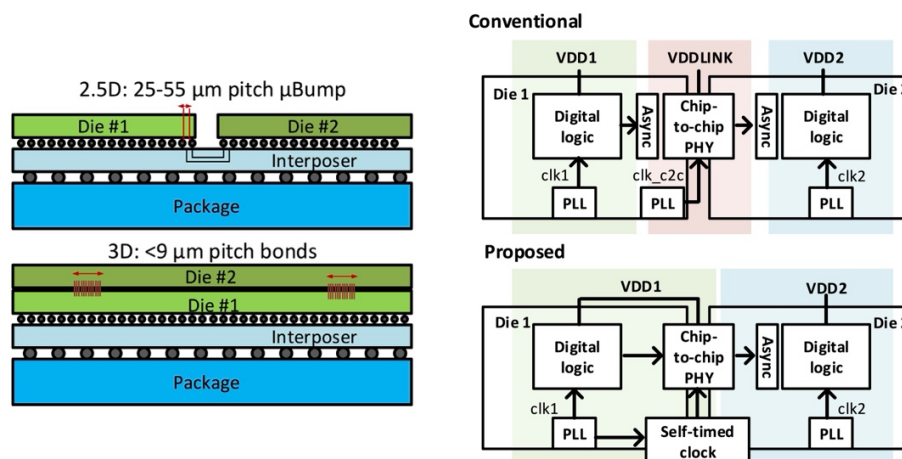
図：数論変換 (NTT) ベースのアクセラレーションにより、シームレスな4Kニューラルビデオのストリーミングおよびポストプロセッシングを実現するNuVPUチップ。

Digital Circuits, Hardware Security, Signal Integrity, IOs

"A 77 fJ/bit 8 Gbps Low-Latency Self-Timed Die-to-Die Link for 2.5D and 3D Interconnect in 3nm" (Paper C7-3)

"3nm プロセスにおける 2.5D および 3D インターコネクションのための 77 fJ/bit 8 Gbps の低遅延・自己同期型ダイ to ダイ通信" – NVIDIA (Paper C7-3)

NVIDIAの研究グループは、2.5Dや3D積層チップ間向けの自己同期型シリアルリンク回路について報告します。同システムは標準的デジタル供給電源下で動く自律同期型クロックを使って実現された積層チップ間インターコネクトです。リンク性能は1ピンあたり8Gbpsで1サイクルの遅延となっています。3nmプロセスで開発され、エネルギー効率77fJ/bで、面積効率44 Tbps/mm²を達成しています。



図：(左)2.5Dおよび3D実装の断面構造、(右)従来方式と提案方式の比較

"A 0.71nJ, 1.53GS/s Throughput 256-FFT using Floating Point Analog Computation" (Paper C23-1)

"浮動小数アナログ演算を用いた 0.71 nJ 1.53 GS/s の 256 点 FFT エンジン" – ミシガン大学 (Paper C23-1)

ミシガン大の研究グループは、アナログ浮動小数点演算を用いた256点のFFTエンジンを提案しています。提案手法では、浮動小数の仮数を電圧とパルス幅の両方で、指数をデジタル4ビットでエンコードします。22nm CMOSプロセスに実装し、0.71nJ/FFTという低エネルギーと1.53GS/sという高いスループットを実現しました。

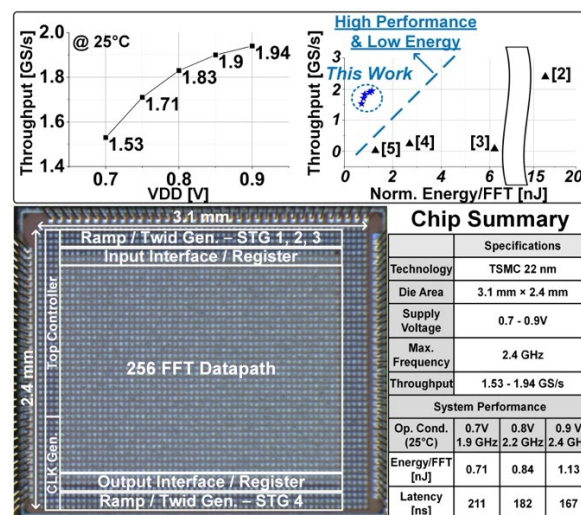


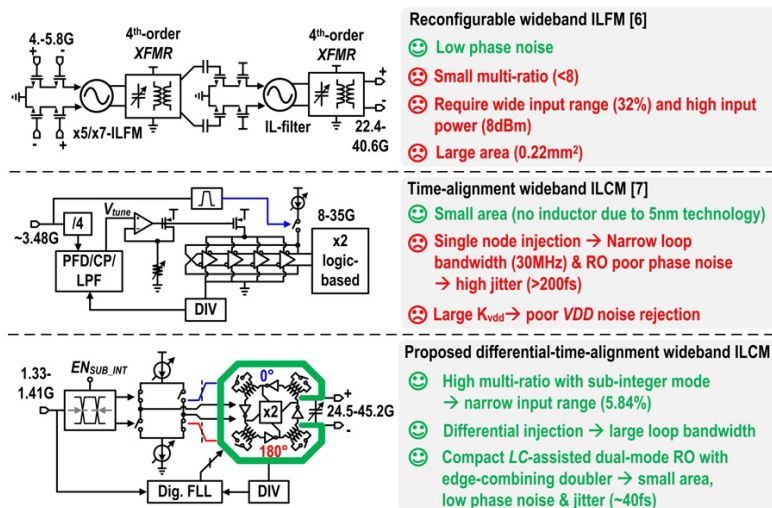
図: 電源電圧Vddとスループットの関係・他の手法とのFoM比較
およびチップ写真。

Frequency Generation and Clocking Circuits

"A 24.5-to-45.2-GHz Dual-Injection Clock Multiplier with Folded-Inductor-Based Magnetic-Flux Cancellation Achieving 32.83-fs_{rms} Jitter and 0.037-mm² Core Area" – (Paper C19-1)

"0.037-mm² で 32.83-fs_{rms} のジッタを達成し、24.5~45.2-GHz を出力する磁束キャンセルを用いた注入同期型クロック逡倍回路" – アイルランド国立大学ダブリン校 (Paper C19-1)

アイルランド国立大学ダブリン校の研究グループは、広い周波数調整範囲と低いジッタを達成する注入同期型クロック逡倍回路(ILCM)を報告します。ミリ波帯域において周波数調整範囲の拡張と位相ノイズの低減を両立させるために、2つのモードを持つLC直列リングオシレータと2逡倍回路を協調設計し、広いループ帯域幅を実現するために差動信号を注入しています。提案回路は 28nm CMOS において 0.037 mm² の面積で実現され、出力クロックの周波数範囲は 24.5~45.23 GHz であり、39.5 GHz において 32.83 fs の RMS ジッタを達成しています。



図：大面積のトランスを用いる広帯域の注入同期型周波数通倍回路の先行研究、
1信号を注入される注入同期型リングオシレータの先行研究、
提案する2信号を注入される注入同期型クロック通倍回路のコンセプト。

Memory Technologies, Devices, Circuits, and Architectures

"A 3nm FinFET 563 kbit 35.5 Mbit/mm² Dual-Rail SRAM with 3.89 pJ/access High Energy Efficient and 27.5 uW/Mbit 1-cycle Latency Low-Leakage Mode" (Paper C4-1)

"3nm FinFET 技術による、デュアルレール電圧・エネルギー効率 3.89 pJ/アクセス・27.5 μ W/Mbit の 1 サイクル遅延低リークモードを備えた 563kbit・35.5Mbit/mm² SRAM" – TSMC (Paper C4-1)

TSMCの研究グループはeXtended Dual Rail (XDR) アーキテクチャおよび以下の2つの主要な技術を用いたモバイル用途向け高密度 (HD) 6T SRAM を発表します。Delaying-Write-WL (DeWL) 技術により、セルと書き込みドライバ (WDRV) 間の書き込み時の電圧競合問題を解決し書き込み電力を低減します。また、1サイクル遅延低リークモード (1-CLM) を導入することで、非動作 (NOPサイクル) 時にビットラインプリチャージをオフにすることで待機電力を削減します。3nm FinFET テストチップにより、アクティブ時のエネルギーを17%、スタンバイ時のリーク電流を10%削減できることを実証しました。

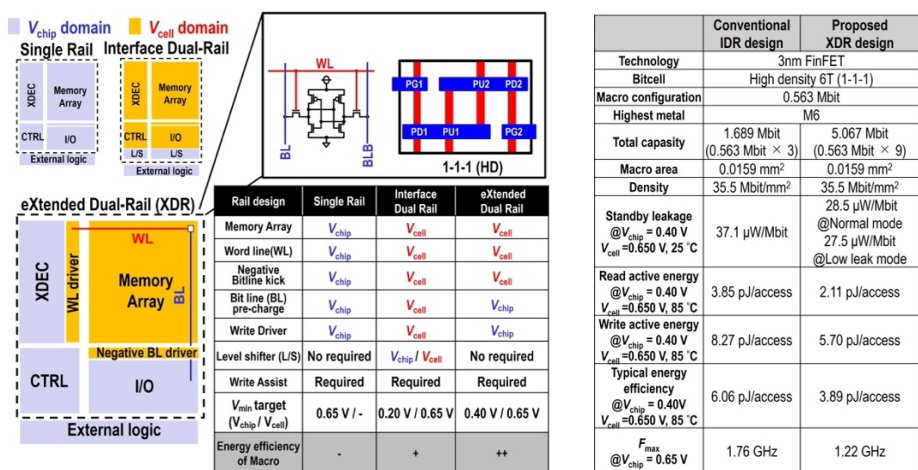


図: 電源レール設計手法の比較および提案絶景手法 (XDR) の特性

Power Management Devices and Circuits

"A 0.087 fs FOM Current-mirror-based Analog-assisted Digital LDO with V_O Ripple Optimization" (Paper C18-1)

"高速応答・ V_O (出力電圧)リップルを実現したカレントミラーベースアナログ補助型ディジタル低ドロップアウトレギュレータ(LDO)" – Sogang 大学 (Paper C18-1)

Sogang大学の研究グループは、高速な過渡応答と小さな出力電圧 (V_O) リップルを実現したカレントミラー・ベースのアナログアシストディジタルLDOを報告します。負荷電流200 mA時の V_O リップルは1 mV以下です。28 nm CMOSプロセスで製造された提案回路は、低入力電圧ディジタルLDOの中で0.087fsという優れた性能指標を示しました。

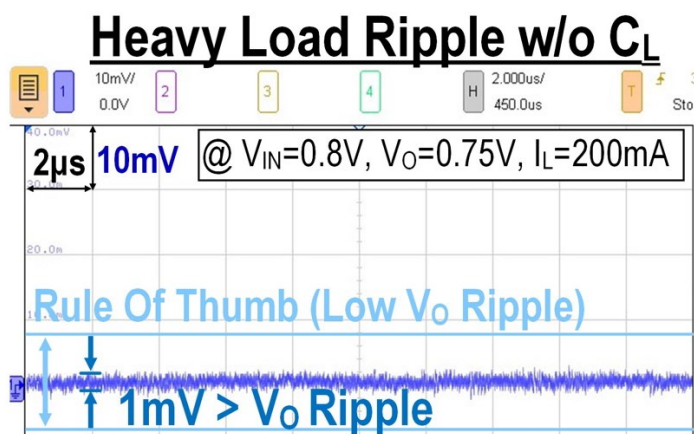


図: LDOの出力電圧波形の測定波形
(200 mAの負荷電流において V_O リップルが1 mV以下)

Processors and SoCs

"MAVERIC: A 16nm 72 FPS, 10 mJ/frame Heterogeneous Robotics SoC with 4 Cores and 13 INT8/FP32 Accelerators" (Paper C10-5)

"MAVERIC: 16nm プロセスによる4コア・13個のINT8/FP32アクセラレータを備えた72FPS、10mJ/frameロボティクス向けヘテロジニアスSoC" – カリフォルニア大学バークレー校 (Paper C10-5)

カリフォルニア大学バークレー校の研究者らは、4個のCPUコアと13個のINT8/FP32のアクセラレータユニットを有する、機械学習やロボティクス向けのヘテロジニアスSoC (MAVERIC) に関する研究を報告します。3次元再構成を用いるロボティクス向けアプリケーションでは認識タスクにおいて深さ推定 (DE) や自己位置推定・同時マッピング (SLAM) のために計算量を要求し、アクセラレータ統合やスケジューリングに伴う課題があります。MAVERICは最高1GHz動作にて8TOPS/Wのピークエネルギー効率を実現します。ループ閉じ込みに対応し、DEとSLAMのエンドツーエンド動作にて10mJ/frame、72FPSの性能を実証しました。

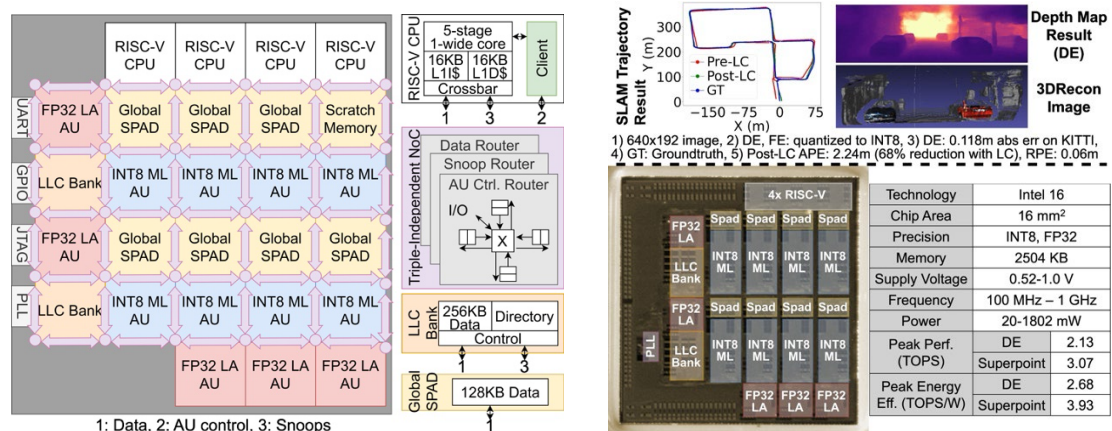


図 : (a)MAVERICのアーキテクチャ概略、8個のINT8 MLアクセラレータ、5個のFP32線形代数アクセラレータ、4個のRISC-V CPUと各サブブロックを繋ぐ3階層のNoCからなる。(b)チップ写真及びSLAM動作例を含む性能概略。

Sensors, Imagers, IoT, MEMS, Display Circuits

"A 25M points/s Back-Illuminated Stacked SPAD Direct Time-of-Flight Depth Sensor with Equivalent Time Sampling for Automotive LiDAR" (Paper C27-2)

"25M 点/秒で測距可能な車載 LiDAR 向け裏面照射積層型 SPAD 直接 ToF 方式距離センサ" – ソニーセミコンダクタソリューションズ (Paper C27-2)

ソニーセミコンダクタソリューションズの研究グループは、ヒストグラム蓄積、信号処理、データ出力のパイプライン化とチップ内距離情報抽出処理による出力データ量の削減により、25M 点/秒の測距を実現しました。これにより、自動運転レベル3以上に必要なLiDAR性能である視野角水平120° /垂直26°、角度分解能0.05° とフ

フレームレート20fpsを両立した測距を実現しています。また、多相クロックを用いた等価時間サンプリング方式を活用することにより、データ量を増加させずに測距分解能を向上しています。250mの距離にある25cmの物体検知や、300mまでの測距レンジにおいて最大17cmの測距誤差を実現しています。

3D Point Cloud

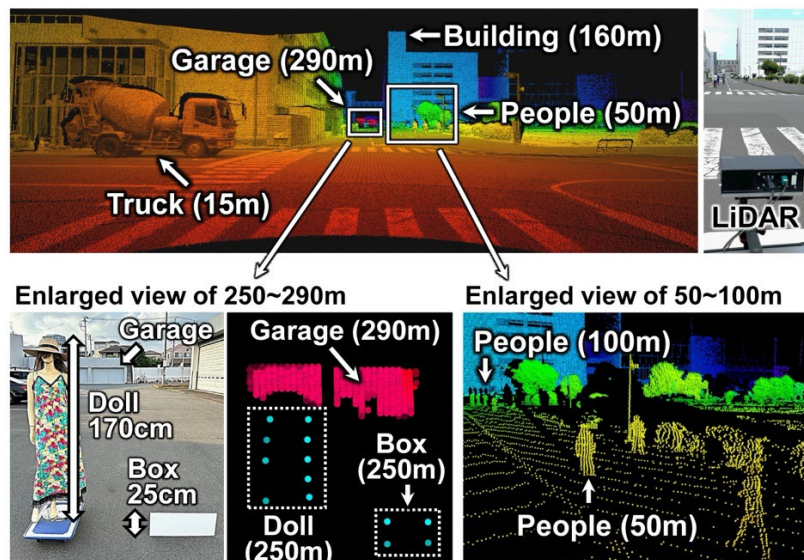
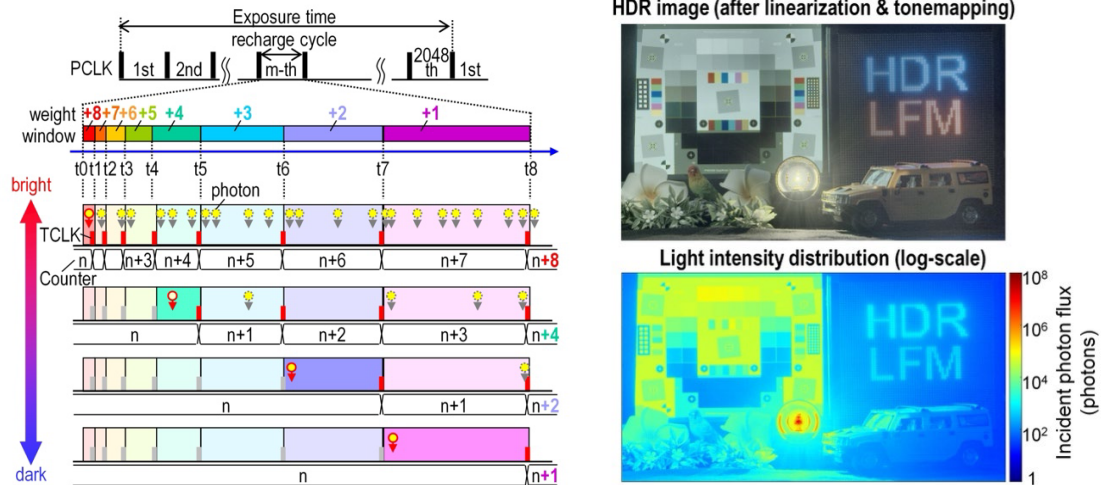


図: 実現したセンサシステムによる撮像・計測データ例

"2/3-inch 2.1Megapixel SPAD Image Sensor with 156dB Single-Shot Dynamic Range and LED Flicker Mitigation based on Weighted Photon Counting Technique" (Paper C27-1)

"重み付けフォトンカウント技術による 156dB 単露光ダイナミックレンジと LED フリッカー低減機能を備えた 2/3 インチ 2.1 メガピクセル SPAD イメージセンサ" – キヤノン (Paper C27-1)

キヤノンの研究グループは自動車用途向けのSPADイメージセンサーを発表します。新しく重み付けフォトンカウント技術を提案し、LEDフリッカー低減機能とシームレスなグローバルシャッター機能を搭載しながら、156dBのダイナミックレンジを達成しました。さらに、ノイズレス読み出し動作により、0.1ルクス未満の低照度環境でも画像の撮影が可能となることを実証しました。



図の説明: (左) 重み付けフォトンカウント技術 (WPC) の動作原理。
(右) HDR画像とその光強度分布。

Wireless and RF Devices Circuits and Systems

"A 150 GHz High-Power-Density Phased-Array Transceiver in 65nm CMOS for 6G UE Module" (Paper C28-1)

"6G 端末用高電力密度 150GHz 帯フェーズドアレイ無線機" – 東京科学大学・パナソニック・新光電気工業 (Paper C28-1)

東京科学大学・パナソニック・新光電気工業の研究グループは、第6世代移動通信システム(6G)での利用が期待されている150 GHz(D帯)で利用が可能な携帯端末向けの超小型無線モジュール用ICを発表します。AiP(Antenna in Package)には65 nm CMOSで作成したフェーズドアレイ送受信ICが2個搭載されています。アンテナ1系統あたりの消費電力は、送信時には150 mW、受信時には93 mWであり、56 Gb/sの伝送速度を達成しています。

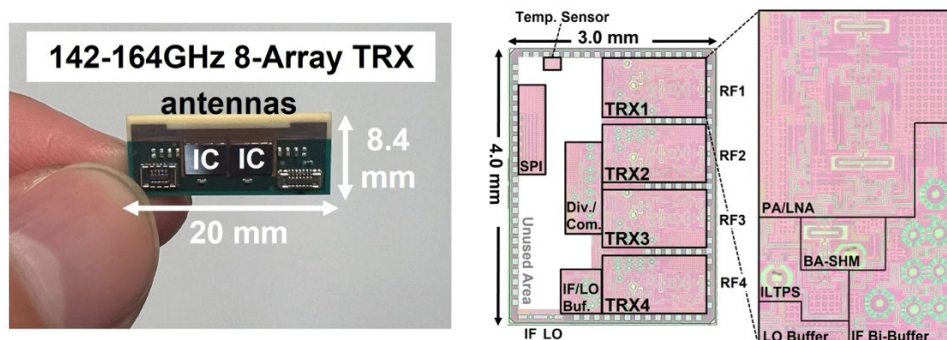


図: (左)提案する4エレメントDバンドトランシーバチップによる
8エレメントアンテナインパッケージ(AiP)モジュール、(右)チップ写真

Wireline and Optical Transceivers, Optical Interconnects and Processors

"A 128Gb/s 0.67pJ/b PAM-4 Transmitter in 18A with RibbonFET and PowerVia"
(Paper C12-2)

"RibbonFET と PowerVia を含む 18A プロセスで開発した電力効率 0.67pJ/b の 128Gb/s 高速 PAM4 送信回路" – インテル (Paper C12-2)

インテルの研究グループは、RibbonFET、PowerVia及び背面電源供給網を含む18A CMOSプロセスで開発したデジタル/アナログ変換(DAC)を用いたデータレート128 Gb/sの送信回路(TX)を発表します。背面電源層はインダクタやクロック分配用の配線にも使用されています。TXは、PAM-4伝送規格の主要なコンプライアンス仕様を満足し、最高のエネルギー効率 0.67pJ/ビット(PLL を含む場合には 0.75pJ/ビット)と最小の面積を実現しています。

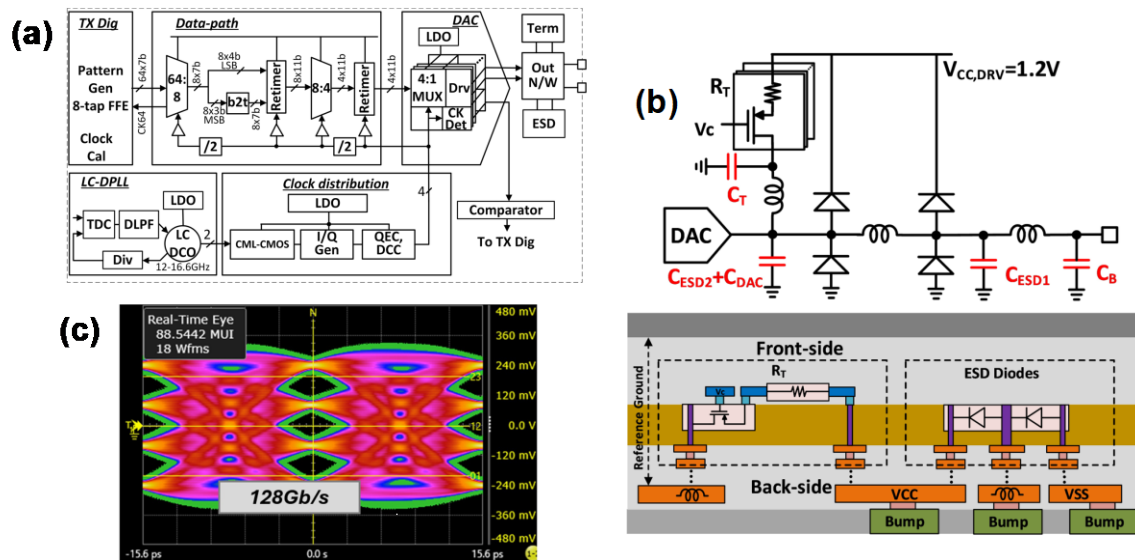


図: (a) DACを用いたPAM4送信回路のブロック図、
(b) 低抵抗の背面電源層を利用した出力段、(c) 送信アイ波形の測定結果